

整理番号:9500935

発送番号:297624 発送日:平成15年 8月26日

1

## 拒絶理由通知書

特許出願の番号	平成 7年 特許願 第206223号
起案日	平成15年 8月20日
特許庁審査官	矢頭 尚之 8838 5K00
特許出願人代理人	恩田 博宣 様
適用条文	第29条第2項、第37条

この出願は、次の理由によって拒絶をすべきものである。これについて意見があれば、この通知書の発送の日から60日以内に意見書を提出して下さい。

## 理 由

A. この出願の下記の請求項に係る発明は、その出願前日本国内又は外国において頒布された下記の刊行物に記載された発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第29条第2項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

請求項1、2に関して

複数のビタビ演算ブロックを有し、入力信号に基づいて前記ビタビ演算ブロックを選択する技術は、引用文献1(第22図参照)にも開示されているように周知技術にすぎない。(なお、各演算ブロックで如何なる信号処理が行われているか(【0037】～に記載の事項)が明記されればこの限りでない。)

## 引 用 文 献 等 一 覧

1. 特開平3-8173号公報

B. この出願は、下記の点で特許法第37条に規定する要件を満たしていない。

## 記

請求項1～2にはデジタル演算回路(最尤復号回路)の発明が記載され、請求項3～5には半導体集積回路の発明が記載され、請求項6～7にはデジタル演算回路の試験方法の発明が記載されている。

各発明に共通する事項は「デジタル演算回路」のみであり、解決する課題が同



整理番号:9500935 発送番号:297624 発送日:平成15年 8月26日 2/E

一とも、主要部が同一とも認められず、各発明が特許法第37条の規定を満たしているとは認められない。

この出願は特許法第37条の規定に違反しているので、請求項1～2以外の請求項に係る発明については同法第37条以外の要件についての審査を行っていない。

**MAGNETIC REPRODUCING DEVICE**

Patent Number: JP3008173  
Publication date: 1991-01-16  
Inventor(s): INOUE HAJIME; others:  
Applicant(s): SONY CORP  
Requested Patent: ☐ JP3008173  
Application JP19890143491 19890606  
Priority Number(s):  
IPC Classification: G11B20/10  
EC Classification:  
Equivalents:

**Abstract**

**PURPOSE:** To obtain a regenerative data having reduced bit errors by changing outputs between a regenerative data of a viterbi decoding circuit and a regenerative data of a circuit for decoding a regenerative signal based on a signal level of the regenerative signal.

**CONSTITUTION:** A regenerative signal SRF is inputted via an amplifier circuit 18, an equalizer circuit 19 and an arithmetic processing circuit 20 to an A/D converter circuit 24, and is converted into an input data  $y_k$  with a period of rising and falling the signal level of the signal SRF. The data  $y_k$  is decoded into the regenerative data DPBV by viterbi decoding circuits 28 and 30 after being divided into an even number group and an odd number group. On the other hand, an output signal of the circuit 20 is detected in signal level by the decoding circuit 50, and is decoded into the regenerative data DPBB. The regenerative data DPBV and DPBB are detected as to coincidence/noncoincidence of a continuous 5-bit data by a changeover circuit 56, and when noncoincidence of a data of  $\geq 2$  bits is obtained, the regenerative data DPBB in place of the regenerative data DPBV is outputted to an error detection correcting circuit 71, so that the regenerative data DPB having reduced bit errors is obtained.

Data supplied from the esp@cenet database - I2

## ⑫ 公開特許公報(A) 平3-8173

⑬ Int. Cl.<sup>5</sup>  
G 11 B 20/10識別記号 庁内整理番号  
3 4 1 B 7923-5D

⑭ 公開 平成3年(1991)1月16日

審査請求 未請求 請求項の数 6 (全21頁)

⑮ 発明の名称 磁気再生装置

⑯ 特 願 平1-143491

⑰ 出 願 平1(1989)6月6日

⑱ 発 明 者	井 上 肇	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	関 貴 仁	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑱ 発 明 者	叶 多 啓 二	東京都品川区北品川6丁目7番35号	ソニー株式会社内
⑲ 出 願 人	ソニー株式会社	東京都品川区北品川6丁目7番35号	
⑳ 代 理 人	弁理士 田辺 恵基		

## 明 細 書

## 1. 発明の名称

磁気再生装置

## 2. 特許請求の範囲

(1) パーシャルレスポンス方式を利用して、磁気記録媒体に記録した所定の記録データを再生するようになされた磁気再生装置において、

再生信号の信号レベルを所定期間でデジタル信号に変換するアナログデジタル変換回路と、

上記アナログデジタル変換回路から出力される出力データに基づいて、上記再生信号を復号するビタビ復号回路と、

再生信号の信号レベルを基準にして、上記再生信号を復号する復号回路と、

上記ビタビ復号回路及び上記復号回路で復号された復号データを切り換えて出力する切換回路とを具備することを特徴とする磁気再生装置。

(2) 上記切換回路は、

上記ビタビ復号回路及び上記復号回路で復号された上記復号データの比較結果に基づいて、上記ビタビ復号回路及び上記復号回路で復号された上記復号データを切り換えて出力するようにした

ことを特徴とする特許請求の範囲第1項に記載の磁気再生装置。

(3) 上記切換回路は、

上記ビタビ復号回路の確からしさのデータに基づいて、上記ビタビ復号回路及び上記復号回路で復号された上記復号データを切り換えて出力するようにした

ことを特徴とする特許請求の範囲第1項に記載の磁気再生装置。

(4) 上記切換回路は、

上記磁気再生装置の動作モードに基づいて、上記ビタビ復号回路及び上記復号回路で復号された上記復号データを切り換えて出力するようにした

ことを特徴とする特許請求の範囲第1項に記載の磁気再生装置。

(5) 上記切換回路は、

上記再生信号の信号レベルに基づいて、上記ビタビ復号回路及び上記復号回路で復号された上記復号データを切り換えて出力するようにした

ことを特徴とする特許請求の範囲第1項に記載の磁気再生装置。

(6) 上記復号回路は、

上記アナログデジタル変換回路から出力される出力データの所定ビットの変化を検出し、該検出結果に基づいて上記再生信号を復号するようにした

ことを特徴とする特許請求の範囲第1項、第2項、第3項、第4項又は第5項に記載の磁気再生装置。

### 3. 発明の詳細な説明

以下の順序で本発明を説明する。

#### A 産業上の利用分野

#### B 発明の概要

#### C 従来の技術

#### D 発明が解決しようとする問題点

#### B 発明の概要

本発明は、磁気再生装置において、2種類の復号回路から出力される復号データを切り換えて出力することにより、必要に応じてビット誤りの少ない復号データを出力することができる。

このとき、それぞれ再生データの比較結果、確からしさのデータ、動作モード、再生信号の信号レベルに基づいて復号データを切り換えることにより、ビット誤りを低減した再生データを得ることができる。

さらにビタビ復号回路に入力されるデータの所定ビットの変化を検出することにより、簡易に復号データを得ることができる。

#### C 従来の技術

従来、この種の磁気再生装置として一般のビデオテープレコーダにおいては、例えば周波数変調したアナログ信号でビデオ信号を記録再生するようになされている。

E 問題点を解決するための手段 (第1図、第20図、第22図、第24図、第25図及び第28図)

F 作用 (第1図、第20図、第22図、第24図、第25図及び第28図)

#### G 実施例

(G1) 第1の実施例 (第1図～第21図)

(G2) 第2の実施例 (第22図及び第23図)

(G3) 第3の実施例 (第24図)

(G4) 第4の実施例 (第25図～第27図)

(G5) 第5の実施例 (第28図)

(G6) 他の実施例 (第29図)

#### H 発明の効果

#### A 産業上の利用分野

本発明は磁気記録再生装置に関し、例えばデジタルビデオ信号を記録再生するようになされたビデオテープレコーダに適用して好適なものである。

#### D 発明が解決しようとする問題点

ところで、ビデオ信号をデジタル信号に変換して磁気テープに記録すれば、何度ダビングしても画質劣化を有効に回避し得ると考えられる。

ところが、磁気テープにデジタル信号を記録再生する場合、ビット誤りの発生を避ける得ない。

これに対して、ビデオ信号をデジタル信号に変換して記録するためには、記録密度を高くしなければならず、この場合何度ダビングしても画質劣化の少ない再生画像を得るためには、このビット誤りを低減して記録されたデータを確実に復号する必要がある。

本発明は以上の点を考慮してなされたもので、ビット誤りを低減することができる磁気再生装置を提案しようとするものである。

#### E 問題点を解決するための手段

かかる問題点を解決するため本発明においては、パシヤルレスポンス方式を利用して、磁気記録媒体14に記録した所定のデータDataを再生す

るようになされた磁気再生装置1において、再生信号 $S_{rr}$ の信号レベルを所定期間でデジタル信号 $y_r$ に変換するアナログデジタル変換回路24と、アナログデジタル変換回路24から出力される出力データ $y_r$ に基づいて、再生信号 $S_{rr}$ を復号するビタビ復号回路28、30と、再生信号 $S_{rr}$ の信号レベルを基準にして、再生信号 $S_{rr}$ を復号する復号回路50と、ビタビ復号回路28、30及び復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えて出力する切換回路56とを具えるようにする。

さらに第2の発明においては、切換回路56は、ビタビ復号回路28、30及び復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ の比較結果 $D_{comp}$ に基づいて、ビタビ復号回路28、30及び復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えて出力する。

さらに第3の発明においては、切換回路56は、ビタビ復号回路28、30の確からしさのデータ $\Delta k$ に基づいて、ビタビ復号回路28、30及び

復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えて出力する。

さらに第4の発明においては、切換回路56は、磁気再生装置1の動作モードに基づいて、ビタビ復号回路28、30及び復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えて出力する。

これに対して第5の発明においては、切換回路56は、再生信号 $S_{rr}$ の信号レベルに基づいて、ビタビ復号回路28、30及び復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えて出力する。

さらに第6の発明においては、復号回路50は、アナログデジタル変換回路24から出力される出力データ $y_r$ の所定ビット $D_{rs}$ 、 $D_{rs}$ の変化を検出し、該検出結果に基づいて再生信号 $S_{rr}$ を復号する。

#### F作用

ビタビ復号回路28、30及び復号回路50で

復号された復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えて出力すれば、必要に応じてビット誤りの少ない復号データ $D_{rv}$ 及び $D_{rs}$ を出力し得、その分ビット誤りを低減することができる。

このときビタビ復号回路28、30及び復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ の比較結果 $D_{comp}$ に基づいて、ビタビ復号回路28、30及び復号回路50から出力される復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えるようにすれば、簡易な構成でビット誤りを低減することができる。

同様に、ビタビ復号回路28、30の確からしさのデータ $\Delta k$ 、再生信号 $S_{rr}$ の信号レベル又は磁気再生装置1の動作モードに基づいて、ビタビ復号回路28、30及び復号回路50で復号された復号データ $D_{rv}$ 及び $D_{rs}$ を切り換えるようにしても、簡易な構成でビット誤りを低減することができる。

このとき、復号回路50において、アナログデジタル変換回路24から出力される出力データ $y_r$ の所定ビット $D_{rs}$ 、 $D_{rs}$ の変化を検出し、該

検出結果に基づいて再生信号 $S_{rr}$ を復号すれば、簡易な構成で復号データ $D_{rs}$ を得ることができる。

#### G実施例

以下図面について、本発明の一実施例を詳述する。

##### (G1)第1の実施例

第1図において、1は全体としてビデオテープレコードを示し、副搬送波信号の4倍のクロック信号 $S_{cs}$ で動作するようになされたアナログデジタル変換回路2に、ビデオ信号 $S_v$ を与える。

これにより当該アナログデジタル変換回路2から、8ビットのデジタルビデオ信号 $D_v$ が得られるようになされ、データ圧縮回路4でデータが圧縮されて約25(MBPS)のデータ $D_s$ に変換される。

これに対してエラーコレクション回路(ECC)6は、データ圧縮されたデジタルビデオ信号 $D_s$ をデジタル信号処理されたオーディオ信号

D<sub>u</sub>と共に受け、シヤフリング、誤り訂正用の符号付加等を実行するようになされ、これにより第2図に示すように約30(MBPS)の記録データD<sub>rec</sub>(第2図(A))を出力する。

#### (G1-1)プリコード回路

これに対して第3図に示すようにプリコード回路8は、イクスクルーシブオア回路8Aに記録データD<sub>rec</sub>を受け、当該イクスクルーシブオア回路8Aの出力を、記録データD<sub>rec</sub>の繰返し周波数で動作するようになされた2段の遅延回路8B及び8Cを介してイクスクルーシブオア回路8Aの入力端に帰還するようになされている。

これによりプリコード回路8は、記録データD<sub>rec</sub>に対して順次、次式

$$\left[ \frac{1}{1-D^2} \right] \text{MOD } 2 \quad \dots\dots (1)$$

で表される演算処理を実行し、記録データD<sub>rec</sub>

式の1つでなるクラスIVのバーチャルレスポンス方式を利用して、デジタルビデオ信号を記録再生する。

すなわち磁気記録再生系においては、周波数の低い方及び高い方でCN比が劣化することから、その周波数特性は、第5図に示すように遅延オペレータDを用いて表されるクラスIVのバーチャルレスポンス(1-D<sup>2</sup>)の周波数特性H(ω)に近似して表現することができる。

ちなみにレスポンスが最小になる周波数ω<sub>0</sub>は、遅延オペレータDで表される遅延時間Tに対して、次式

$$\omega_0 = \frac{\pi}{T} \quad \dots\dots (2)$$

の関係がある。

従つて、遅延オペレータDで表される遅延量を所定の値に選定することにより、CN比が最大になる近辺に信号のスペクトラムを集中することができる。

のデータ間の相関を利用して、記録データD<sub>rec</sub>を値1及び値-1の間で変化するプリコードデータD<sub>ps</sub>(第2図(B))に変換する。

ここでMOD 2は2の剰余を表す。

すなわち第4図に示すように、磁気テープに信号を記録再生する場合、磁気ヘッド等の電磁変換系が微分特性を有していることから周波数の低い方でCN比が劣化するのに対し、周波数が高くなると磁気テープの磁化特性から同様にCN比が劣化する。

従つて磁気記録再生系においては、デジタルビデオ信号を記録再生する場合、良好なCN比が得られる周波数帯域が狭い特性がある。

このためデジタルビデオ信号を記録する場合においては、CN比が最大になる近辺に信号のスペクトラムが集中するような記録方式を選定し、これにより再生信号のCN比の劣化を有効に回避して、デジタルビデオ信号を効率良く記録再生する必要がある。

従つてこの実施例においては、高効率符号化方

これに対して再生系全体の伝達関数を、次式

$$(1-D) \cdot (1+D) \\ = 1-D^2 \quad \dots\dots (3)$$

とおけば、プリコード回路8の演算処理に対して、記録再生系全体として伝達関数を1に設定し得、記録再生系の周波数特性を有効に利用して、デジタルビデオ信号を効率良く記録再生することができる。

第6図に示すようにプリコード回路8は、プリコードデータD<sub>ps</sub>を所定ブロック毎に分割して加算回路9に出力する。

加算回路9は、当該プリコードデータD<sub>ps</sub>の各ブロックの前後に所定のデータD<sub>p</sub>を付加し、これにより増幅回路10を介して磁気ヘッド12A及び12Bに、ポストアンプ及びリアンプのデータを付加したプリコードデータD<sub>ps</sub>を出力するようになされている。

さらにこの実施例において、磁気ヘッド12A及び12Bは、回転ドラム(図示せず)上に180

度の角間隔で配置されるようになされ、これによりポストアンプ及びプリアンプが付加されたプリコードデータ  $D_{ps}$  を、1ブロック単位で磁気テープ14の各記録トラックに記録するようになされている。

因にプリアンプにおいては、プリコードデータ  $D_{ps}$  の繰り返し周波数30(MHz)の1/2でなる周波数15(MHz)の基準信号が記録され、当該基準信号の周波数が(2)式を満足する周波数 $\omega_0$ になるように選定されている。

従つてこの実施例においては、プリアンプから得られる周波数15(MHz)の基準信号を基準にしてクロック信号を形成するようになされ、当該クロック信号に基づいて再生信号  $S_{sr}$  を処理するようになされている。

#### (G1-2) 再生系

これに対して磁気ヘッド16A及び16Bは、再生信号  $S_{sr}$  (第2図(C))を、増幅回路18、イコライザ回路19を介して演算処理回路20に

与える。

第7図に示すように演算処理回路20は、加算回路21及び遅延回路22で構成され、これにより再生信号  $S_{sr}$  に対して、 $(1+D)$ の演算処理を実行する。

これに対して電磁変換系は微分特性を有していることから、再生信号  $S_{sr}$  は遅延オペレータ  $D$  を用いて  $(1-D)$  で表され、第5図において破線で示すような周波数特性で表される。

従つて再生時においては、記録時のプリコードデータ  $D_{ps}$  に対して、全体として(3)式の補正がなされ、磁気記録再生系の周波数特性を有効に利用して、デジタルビデオ信号を効率良く記録再生することができる。

かくして演算処理回路20を介して、振幅が記録データ  $D_{acc}$  の論理レベルに応じて変化する出力信号  $S_r$  (第2図(D))を得ることができる。

これに対してアナログデジタル変換回路24は、再生信号  $S_{sr}$  の信号レベルが立ち上がり及び立ち下がる周期で、出力信号  $S_r$  の信号レベルを

デジタル値に変換し、その結果得られる入力データ  $y_n$  を選択回路26に出力する。

選択回路26は、入力データ  $y_n$  に同期して順次接点を切り換え、これにより入力データ  $y_n$  を偶数系列及び奇数系列のデータ  $D_{vo}$  及び  $D_{ve}$  に分割して、ビタビ復号回路28及び30に出力する。

#### (G1-3) ビタビ復号回路

第8図及び第9図に示すように、再生信号  $S_{sr}$  に対して  $(1-D^2)$  の演算処理を施すことは、値  $b_n, b_{n+1}, \dots$  の連続するプリコードデータ  $D_{ps}$  を2クロック周期遅延させて演算処理することを意味することから、入力データ  $y_n$  を偶数系列及び奇数系列毎に分離すれば、それぞれ偶数系列及び奇数系列のプリコードデータ  $D_{ps}$  に対して、 $(1-D)$  の演算処理を実行した入力データ  $y_n$  を得ることができる。

これに対して磁気記録再生系においては、磁気ヘッド12A、12B、16A、16B及び磁気テープ14でなる電磁変換系で雑音が混入するこ

とから、第10図に示すように、プリコードデータ  $D_{ps}$  に対する  $(1-D^2)$  の演算処理回路31と、当該演算処理回路31の出力信号  $S_r$  に雑音  $S_n$  を加算する加算回路32とで等価的に書き表わすことができる。

従つて、偶数系列及び奇数系列毎に入力データ  $y_n$  を分離する場合、第11図に示すようにプリコードデータ  $D_{ps}$  に対する  $(1-D)$  の演算処理回路33と、当該演算処理回路33の出力信号  $S_r$  に雑音  $S_n$  を加算する加算回路34とで書き直すことができる。

これにより偶数系列及び奇数系列毎に分割した入力データ  $y_n$  を復号する場合、プリコードデータ  $D_{ps}$  の値  $b_n, b_{n+1}, \dots$  に対して入力データ  $y_n, y_{n+1}, \dots$  が  $(1-D)$  の相関があることを利用し得、当該相関を利用して雑音が混入する以前のプリコードデータ  $D_{ps}$  の値  $b_n, b_{n+1}, \dots$  を検出することにより、ビット誤りを低減して再生データ  $D_{ps}$  を復号し得る。

この実施例においてはかかる前提に基づいて、



ビタビ復号の手法を適用して再生データ  $D_{rs}$  を得るようになされ、第12図に示すように、ファラソンのアルゴリズム (FARGUSON'S ALGORITHM) を適用したビタビ復号回路28(30)を用いて入力データ  $y_k, y_{k+1}, \dots$  を復号する。

すなわち、プリコードデータ  $D_{rs}$  に  $(1-D)$  の演算処理を実行すれば、値1、-1又は値-1、1の連続するデータに対して、それぞれ値2又は値-2の演算結果を得ることができる。

従つて第13図に示すように、雑音が混入した出力信号  $S$ 、(第13図(A))においては、ピーク値が値2を中心にして変動すると共に、記号  $P1$  で示すようにパルス状の雑音が混入するようになる。

これによりビタビ復号回路28(30)においては、順次例えば値1.8、1.2、-1.7、0、0.8、……の入力データ  $y_k, y_{k+1}, \dots$  (第13図(B))が入力され、当該入力データ  $y_k, y_{k+1}, \dots$  が順次加算回路38及び39を介して比較回路40及びラッチ回路41に出力される。

ラッチ回路41は、比較回路43から出力される復号結果のデータ  $D_i$  (すなわち入力データ  $y_k$  に対応する) の確からしさのデータ  $\Delta k$  を格納するようになされたメモリ手段44とスイッチ手段45とを有し、比較回路40から値1及び-1のデータ  $D_i$  が出力されるとスイッチ手段45をオン状態に切り換えるようになされている。

これによりラッチ回路41においては、加算回路39から出力されるデータを取り込んで、確からしさのデータ  $\Delta k$  を更新するようになされている。

因にこの場合確からしさのデータ  $\Delta k$  の初期値としては、値0のデータが格納されている。

これに対して加算回路38は、ラッチ回路41に格納された確からしさのデータ  $\Delta k$  (1クロック周期前の入力データ  $y_k$  に対応する) と、入力データ  $y_{k+1}$  の減算データ  $D_i$  を比較回路40に出力するようになされている。

比較回路40は、減算データ  $D_i$  を値  $\pm 1$  のレッシホースドレベルで、値1、0、-1のデー

タ  $D_i$  (以下予測入力値と呼ぶ) に変換し、当該予測入力値  $D_i$  を加算回路39にする。

すなわち、確からしさのデータ  $\Delta k$  及び入力データ  $y_{k+1}$  に対して、次式

$$\Delta k - y_{k+1} > 1 \quad \dots\dots (4)$$

の関係が成立する場合、予測入力値  $D_i$  を値1に設定し、メモリ手段44に格納された確からしさのデータ  $\Delta k$  を、次式

$$\Delta(k+1) = y_{k+1} + 1 \quad \dots\dots (5)$$

で表される確からしさのデータ  $\Delta(k+1)$  に更新する。

これに対し、次式

$$\Delta k - y_{k+1} < 1 \quad \dots\dots (6)$$

の関係が成立するとき、予測入力値  $D_i$  を値-1に設定し、メモリ手段44に格納された確からしさのデータ  $\Delta k$  を、次式

$$\Delta(k+1) = y_{k+1} - 1 \quad \dots\dots (7)$$

で表される確からしさのデータ  $\Delta(k+1)$  に更新する。

さらに、次式

$$|\Delta k - y_{k+1}| < 1 \quad \dots\dots (8)$$

の関係が成立するとき、予測入力値  $D_i$  を値0に設定し、確からしさのデータ  $\Delta k$  を、次式

$$\Delta(k+1) = \Delta k \quad \dots\dots (9)$$

で表される確からしさのデータ  $\Delta(k+1)$  に更新する。

このことは第14図に示すように、確からしさのデータ  $\Delta k$  に対して、入力データ  $y_{k+1}$  の値が値1以上変動すると(第14図(A))、その変動方向と逆向きに予測入力値  $D_i$  を値-1又は値1に設定し、入力データ  $y_{k+1}$  の値から値1だけ小さな値に新たな確からしさのデータ  $\Delta(k+1)$  を更新することを意味する(第14図(B))。

従つて入力データ  $y_{k+1}$  の値が斜線で示す領域以上に大きく変化する場合は、値1又は値-1の

予測入力値  $D_0$  が得られ、当該入力データ  $y_{k+1}$  の値に応じた確からしさのデータ  $\Delta(k+1)$  に更新されるのに対し、斜線で示す領域以上に大きく変化しない場合は、値 0 の予測入力値  $D_0$  が出力され、確からしさのデータ  $\Delta(k+1)$  がそのまま保持される。

これにより第 15 図に示すように、値 1 の予測入力値  $D_0$  が得られた場合は、入力データ  $y_{k+1}$  の値が立ち下がった場合で、少なくとも 1 クロック周期前の入力データ  $y_k$  の値は、正側に大きく立ち上がっていたであろうと判断することができる。

従つて入力データ  $y_{k+1}$  のタイミングで大きな雑音が混入した場合でも、プリコードデータの値は、値 -1 から値 1 に立ち上がる遷移及び値 -1 保持される遷移以外の変化を呈したことがわかる。

逆に第 16 図に示すように示すように、値 -1 の予測入力値  $D_0$  が得られた場合は、入力データ  $y_{k+1}$  の値が立ち上がった場合で、少なくとも 1 クロック周期前の入力データ  $y_k$  の値は、負側に

大きく立ち下がっていたであろうと判断することができる。

従つて入力データ  $y_{k+1}$  のタイミングで大きな雑音が混入した場合でも、プリコードデータの値は、値 1 から値 -1 に立ち下がる遷移及び値 1 に保持される遷移以外の変化を呈したことがわかる。

これに対して第 17 図に示すように示すように、値 0 の予測入力値  $D_0$  が得られた場合は、入力データ  $y_{k+1}$  の変化が小さかったことを意味し、大きな雑音が混入した場合でも、プリコードデータの値は、値 -1 から値 1 に立ち上がる遷移及び値 1 から値 -1 に立ち下がる遷移以外の変化を呈したことがわかる。

従つて第 18 図に示すように、連続して値 1、値 0 の予測入力値  $D_0$  が得られた場合は、プリコードデータ  $D_{pc}$  の値が、値 1 から値 -1 に立ち下がった後値 1 が連続する遷移、又は値 1 が連続する遷移のいずれかであることが解る。

これに対して、続いて値 -1 の予測入力値  $D_0$  が得られた場合は、ここで値 -1 から値 1 に立ち

上がる遷移及び値 -1 に保持される遷移以外の変化を呈したことがわかることから、2 クロック周期前の連続するプリコードデータ  $D_{pc}$  の値が、値 1 から値 -1 に立ち下がった後値 1 が連続する遷移であることが確定する。

同様に値 -1 の予測入力値  $D_0$  に続いて値 1 の予測入力値  $D_0$  が得られると、ここで値 -1 の予測入力値  $D_0$  が得られた際に、プリコードデータ  $D_{pc}$  の値が、値 -1 から値 1 に立ち上がったことがわかる。

かくして連続する予測入力値  $D_0$  に基づいて、プリコードデータ  $D_{pc}$  の遷移を判断し得、これにより記録データ  $D_{rec}$  を復号することができる。

さらにこのとき確からしさのデータ  $\Delta k$  は、(4) ~ (9) 式で表されるように、入力データ  $y_k$  が値 1 以上変化したとき、入力データ  $y_k$  の値に応じて更新されることから、その値の絶対値が大きければ大きい程、予測入力値  $D_0$  で判断されるプリコードデータ  $D_{pc}$  の遷移がより確かであると判断し得る。

この検出原理に基づいてビタビ復号回路 28 (30) は、順次確からしさのデータ  $\Delta k$  を更新し、更新された確からしさのデータ  $\Delta k$  及び予測入力値  $D_0$  に基づいて、入力データ  $y_k$  の遷移を検出する。

すなわち、値 0 の確からしさのデータ  $\Delta k$  に対して値 1.8 の入力データ  $y_{k+1}$  が入力されると、値 -1.8 の減算データが得られることにより、値 -1 の予測入力値  $D_0$  が出力され (第 13 図 (B))、確からしさのデータ  $\Delta k$  が値 0.8 に更新される (第 13 図 (D))。

続いて値 1.2 の入力データ  $y_{k+1}$  が入力されると、値 -0.4 の減算データが得られ、値 0 の予測入力値  $D_0$  が出力され、この場合スイッチ手段 45 がオフ状態に保持されることから、値 0.8 の確からしさのデータ  $\Delta k$  がラッチ回路 41 に保持される。

これに対して、続いて値 -1.7 の入力データ  $y_{k+1}$  が入力されると、値 2.5 の減算データが得られ、値 1 の予測入力値  $D_0$  が出力されると共に、

確からしさのデータ $\Delta k$ が値0.7に更新される。

これにより、値1.8の入力データ $y_{n-1}$ から値1.2の入力データ $y_{n-1}$ までの間、プリコードデータ $D_{rx}$ が値1、値1の連続であることを検出することができる。

かくして、予測入力値 $D_i$ に基づいて、順次プリコードデータ $D_{rx}$ の値を検出することができる。

比較回路43は、確からしさのデータ $\Delta k$ が値0以上のとき、値1の復号結果のデータ $D_i$ を出力するのに対し、確からしさのデータ $\Delta k$ が負の値を取るとき、値-1の復号結果のデータ $D_i$ を出力することにより、確からしさのデータ $\Delta k$ を基準にして入力データ $y_n$ の立ち上がり及び立ち下がりを検出する。

データメモリ回路45は、20段のシフトレジスタ回路を直列接続するようになされ、これにより復号結果のデータ $D_i$ を一旦格納するようになされている。

さらにデータメモリ回路45は、論理レベル「1」及び「-1」の復号結果のデータ $D_i$ を、そ

れぞれ論理レベル「1」及び「0」のデータに変換した後、制御回路46から出力される制御信号 $S_c$ に基づいてその論理レベルを反転させる。

制御回路46は、乗算回路48から出力される復号結果のデータ $D_i$ 及び予測入力値 $D_i$ との乗算結果に基づいて、プリコードデータ $D_{rx}$ の遷移(第13図(D))を検出し、当該検出結果に応じて制御信号 $S_c$ を出力する。

これにより、必要に応じて復号結果のデータ $D_i$ を反転させて、プリコードデータを復号する。

さらにデータメモリ回路45は、出力段にイクスクルーシブオア回路を接続するようになされ、これにより復号したプリコードデータに $(1-D)$ の演算処理を施し、再生データに復号する。

かくして、当該ビット復号回路28(30)においては、前後のデータ間に $(1-D)$ の関係があることを利用して入力データを復号することにより、ノイズが混入してC/N比の低い場合でも、格段的にビット誤りの少ないデータを復号し得るようになされている。

選択回路49は、ビット復号回路28及び30で復号された復号データでなる再生データ $D_{rs}$ 及び $D_{rs}$ を受け、順次接点を切り換えることにより、偶数系列及び奇数系列に分割したデータを元の配列に戻して出力するようになされている。

#### (G1-4)復号回路50

ところでこのようにクラスIVのパーシャルレスポンス方式においては、ビット復号回路の代わりに、再生信号の信号レベルを基準にして、再生信号 $S_r$ を復号することができる。

すなわち、演算処理回路20から出力される出力信号 $S_r$ (第2図(D))の信号レベルに対して所定の基準レベル $V_{ref1}$ 及び $V_{ref2}$ を設定し、当該基準レベル $V_{ref1}$ 及び $V_{ref2}$ と出力信号 $S_r$ の比較結果を得ることにより、出力信号 $S_r$ を復号することができる。

ところが、ビット復号回路28(30)においては、データ間の $(1-D)$ の相関を利用してのことから、信号レベルを基準にして復号する場

合に比してビット誤りの少ないデータを得ることができる。

従つてビット復号回路をデジタルビデオテープレコードに適用すれば、デジタルビデオ信号を確実に再生することができる。

ところが、データ間の相関を利用してデータを復号することから、一旦ビット誤りが発生すると、ビット誤りが何ビットも連続するおそれがある(以下エラー伝搬と呼ぶ)。

このためこの実施例においては、ビット復号回路28(30)と、信号レベルを基準にする復号回路50を組み合わせることにより、ビット誤りを低減し得るようになされている。

すなわち第19図に示すように、復号回路50は、出力信号 $S_r$ をピーク検出回路51に与え、出力信号 $S_r$ の立ち上がりの信号レベルを検出するようになされている。

さらにピーク検出回路51は、当該検出結果を分圧して所定の比較基準レベル $V_{ref1}$ 及び $V_{ref2}$ を生成し、それぞれ比較回路52及び53の非反

転入力端及び反転入力端に出力するようになされている。

これに対して比較回路52及び53は、残りの反転入力端及び非反転入力端に出力信号 $S_r$ を受け、比較結果をイクスクルーシブオア回路54に出力するようになされている。

これによりイクスクルーシブオア回路54を介して、出力信号 $S_r$ の振幅が基準レベル $V_{xrr1}$ 及び $V_{xrr2}$ より変化すると、値1の再生データ $D_{rr1}$ を得ることができ、再生信号 $S_{rr}$ の信号レベルを基準にして再生信号 $S_{rr}$ を復号することができる。

#### (G1-5) 切換回路56

第20図に示すように、切換回路56においては、ビタビ復号回路28及び30から出力される再生データ $D_{rrv}$ をシフトレジスタ回路58に与える。

第21図に示すように、シフトレジスタ回路58は、再生データ $D_{rrv}$ に同期したクロック信号

$S_{cx}$  (第21図(A))で動作する5段のラッチ回路を直列接続するようになされ、これによりそれぞれ5つのイクスクルーシブオア回路59A～59Eに、再生データ $D_{rrv}$  (第21図(B))及び当該再生データ $D_{rrv}$ に対して順次1クロック周期ずつ遅延した再生データ $D_{rrv}$ を出力するようになされている。

さらにシフトレジスタ回路58は、再生データ $D_{rrv}$ に対して5クロック周期遅延した遅延再生データ $D_{rrv,5}$  (第21図(D))を続くラッチ回路60Aを介してスイッチ回路61に出力するようになされている。

これに対してシフトレジスタ回路62は、シフトレジスタ回路58と同様に構成され、遅延回路63を介して、復号回路50の再生データ $D_{rr1}$  (第21図(C))を受けようになされている。

ちなみに、遅延回路63の遅延時間は、再生データ $D_{rrv}$ の遅延時間と等しくなるように選定され、これにより対応する再生データ $D_{rrv}$ 及び $D_{rr1}$ が同じタイミングでシフトレジスタ回路5

8及び62に入力するようになされている。

かくしてシフトレジスタ回路62においては、シフトレジスタ回路58と同様に、再生データ $D_{rr1}$ に対して5クロック周期遅延した遅延再生データ $D_{rr1,5}$  (第21図(E))を得ることができ、ラッチ回路60Bを介して当該遅延再生データ $D_{rr1,5}$ をスイッチ回路61に出力するようになされている。

さらにシフトレジスタ回路62においては、再生データ $D_{rr1}$ に対して順次1クロック周期ずつ遅延した再生データ $D_{rr1}$ を得ることができ、当該再生データ $D_{rr1}$ 及び1クロック周期ずつ遅延した再生データ $D_{rr1}$ を、イクスクルーシブオア回路59A～59Eの残りの入力端に与えるようになされている。

これによりイクスクルーシブオア回路59A～59Eを介して、再生データ $D_{rrv}$ 及び再生データ $D_{rr1}$ の各ビットのデータが一致しないとき、論理レベルが立ち上がる検出結果 $D_{conr0}$ 、 $D_{conr1}$ 、 $D_{conr2}$ 、 $D_{conr3}$ 及び $D_{conr4}$  (第

21図(F1)～(F5))を得ることができる。

かくして、順次1クロック周期遅延した再生データ $D_{rrv}$ 及び $D_{rr1}$ を5つのイクスクルーシブオア回路59A～59Eに入力することにより、連続する5つのデータについて、比較結果 $D_{conr}$ を得ることができる。

加算回路64は、当該比較結果 $D_{conr}$ を受け、論理レベル「1」の比較結果 $D_{conr0} \sim D_{conr4}$ を加算するようになされている。

これに対して比較回路65は、加算結果を所定の基準データ $D_{rx}$ と比較するようになされ、これにより値2より大きな加算結果が得られると、出力信号 $D_{win}$  (第21図(G))の論理レベルを立ち上げるようになされている。

これに対してアンド回路66A～66Eは、比較回路65の出力信号 $D_{win}$ を受けると共に、それぞれイクスクルーシブオア回路59A～59Eの比較結果 $D_{conr0}$ 、 $D_{conr1}$ 、 $D_{conr2}$ 、 $D_{conr3}$ 及び $D_{conr4}$ を受けようになされ、これにより比較回路65の出力信号 $D_{win}$ が立ち上

がると、イクスクルーシブオア回路59A~59Eの比較結果 $D_{comp0}$ 、 $D_{comp1}$ 、 $D_{comp2}$ 、 $D_{comp3}$ 及び $D_{comp4}$ を、それぞれオア回路67A~67Eに出力するようになされている。

従つてアンド回路66A~66Eを介して、出力信号 $D_{win0}$ が立ち上がると、連続する5ビットの比較結果 $D_{comp0}$ 、 $D_{comp1}$ 、 $D_{comp2}$ 、 $D_{comp3}$ 及び $D_{comp4}$ を出力してなる切換データ $D_{sw0}$ 、 $D_{sw1}$ 、 $D_{sw2}$ 、 $D_{sw3}$ 及び $D_{sw4}$ (第21図(H1)~(H5))を得ることができる。

オア回路67A~67Eは、それぞれラッチ回路67A~67Eを介して直列接続され、これにより当該オア回路67A~67Eに出力された比較結果 $D_{comp0}$ 、 $D_{comp1}$ 、 $D_{comp2}$ 、 $D_{comp3}$ 及び $D_{comp4}$ を一時格納し、続くオア回路67B~67Eに出力するようになされている。

これにより最終段のラッチ回路68Eを介して、再生データ $D_{rv}$ 及び再生データ $D_{rs}$ が順次スイッチ回路61に出力されるタイミングで、対応する比較結果 $D_{comp0}$ 、 $D_{comp1}$ 、 $D_{comp2}$ 、

$D_{comp3}$ 及び $D_{comp4}$ を得ることができ、この実施例においては当該比較結果 $D_{comp0}$ 、 $D_{comp1}$ 、 $D_{comp2}$ 、 $D_{comp3}$ 及び $D_{comp4}$ の論理レベルが立ち上がると、スイッチ回路61の接点を再生データ $D_{rv}$ から再生データ $D_{rs}$ に切り換えるようになされている。

かくして、連続する5ビットのデータのうち2ビット以上一致しない場合だけ、比較回路65の出力信号 $D_{win0}$ が立ち上がるようになされていることから、その不一致のデータをビタビ復号回路28、30の再生データ $D_{rv}$ から復号回路50の再生データ $D_{rs}$ に切り換えてなる再生データ $D_{rs}$ (第21図(I))を得ることができ、当該再生データ $D_{rs}$ がラッチ回路67を介して出力されるようになされている。

實際上、ビタビ復号回路28、30でビット誤りが発生すると、何ビットもビット誤りが連続する特徴があるのに対し、復号回路50においては、ビット誤りが単発的に発生する傾向がある。

このため、連続するデータについて一致しない

データの数をカウントする場合、カウント値が大きいときは、ビタビ復号回路でビット誤りが発生した確立が高いのに対し、カウント値が小さいときは、復号回路50でビット誤りが発生した確立が高くなる。

従つて、カウント値が大きいときだけビタビ復号回路28、30の再生データ $D_{rv}$ に代えて復号回路50の再生データ $D_{rs}$ を出力すれば、その分ビット誤りを低減することができる。

かくしてこの実施例においては、この連続するデータの数を5ビットに選定すると共に、カウント値が値2を越ると、再生データ $D_{rv}$ を $D_{rs}$ に切り換えて出力するようになされている。

従つて再生データ $D_{rv}$ 及び $D_{rs}$ の比較結果に基づいて、ビタビ復号回路28、30及び復号回路50の再生データ $D_{rv}$ 及び $D_{rs}$ を切り換えて出力するようになされ、これによりビット誤りを低減することができる。

#### (G1-6)再生データの処理

これに対して誤り検出訂正回路71は、切換回路56から出力される再生データ $D_{rs}$ (第2図(E))を受け、ビット誤りを検出すると共に、当該ビット誤りを訂正した後オーディオ信号 $S_{av}$ 及びビデオ信号のデータに分離する。

データ伸長回路72は、誤り検出訂正回路71で分離されたビデオ信号のデータを受け、データ圧縮回路4とは逆にデータを伸長する。

かくしてデジタルアナログ変換回路73を介してビデオ信号 $S_{vp}$ を得ることができる。

#### (G1-7)実施例の動作

以上の構成において、ビデオ信号 $S_v$ はアナログデジタル変換回路2でデジタルビデオ信号 $D_v$ に変換された後、データ圧縮回路4で約25(MBPS)のデータ $D_s$ に圧縮される。

圧縮されたデータ $D_s$ は、エラーコレクション回路6でオーディオ信号 $D_a$ と共にシャフリング、誤り訂正用の符号付加等の処理が施され、30(MBPS)の記録データ $D_{rec}$ に変換される。

記録データ  $D_{rec}$  は、プリコード回路 8 で (2) 式の演算処理が施されてプリコードデータ  $D_{pc}$  に変換された後、ブロック毎に分割されて磁気テープ 14 に記録され、同時に周波数 15 (MHz) の基準信号を記録したプリアンプルが形成される。

これに対して磁気ヘッド 16A 及び 16B から出力される再生信号  $S_{rr}$  は、増幅回路 18、イコライザ回路 19 及び演算処理回路 20 を介して、アナログデジタル変換回路 24 に入力され、これにより再生信号  $S_{rr}$  の信号レベルが立ち上がり及び立ち下がる周期で、入力データ  $y_n$  に変換される。

入力データ  $y_n$  は、偶数系列及び奇数系列に分割された後、ビタビ復号回路 28 及び 30 に与えられ、これにより入力データ  $y_n$  が再生データ  $D_{rrs}$  ( $D_{rrs}$ ) に復号される。

再生データ  $D_{rrs}$  及び  $D_{rrs}$  は、選択回路 49 において、元の配列に戻され、これによりビタビ復号回路 28 及び 30 で復号された再生データ  $D_{rrv}$  が得られる。

比較結果に基づいて、連続するデータについて一致しないデータの数が所定値以上のときだけ、再生データ  $D_{rrv}$  に代えて再生データ  $D_{rrs}$  を切り換えて出力したことにより、ビット誤りを低減することができる、かくして高密度記録されたデジタルビデオ信号を再生して画質の劣化を有効に回避することができる。

#### (G2) 第 2 の実施例

第 1 図との対応部分に同一符号を附して示す第 2 図は、第 2 の実施例を示し、イクスクルーシブオア回路 75 で復号回路を構成したものである。

すなわちイクスクルーシブオア回路 75 は、アナログデジタル変換回路 24 から出力される 7 ビットの出力データ  $y_n$  のうち、上位 2 ビットのデータ  $D_{rs}$  及び  $D_{rs}$  を受けるようになっている。

ちなみにアナログデジタル変換回路 24 は、出力信号  $S_r$  を 2 の補数表現の出力データ  $y_n$  に変換するようになっている。

従つて第 2 図に示すように、上位 2 ビットの

これに対して、演算処理回路 20 の出力信号  $S_r$  は、復調回路 50 で信号レベルが検出され、当該検出結果に基づいて再生データ  $D_{rrs}$  が復号される。

再生データ  $D_{rrv}$  及び  $D_{rrs}$  は、切換回路 56 で、連続する 5 ビットにデータについて、一致不一致が検出され、2 ビット以上不一致のデータが得られたとき、再生データ  $D_{rrv}$  に代えて再生データ  $D_{rrs}$  が誤り検出訂正回路 71 に出力され、これによりビット誤りを低減した再生データ  $D_{rrs}$  を得ることができる。

かくして再生データ  $D_{rrs}$  は、誤り検出訂正回路 71、データ伸長回路 72 及びデジタルアナログ変換回路 73 を順次介して、記録時とは逆にビデオ信号  $S_{vrs}$  に変換される。

#### (G1-8) 実施例の効果

以上の構成によれば、ビタビ復号回路 28、30 の再生データ  $D_{rrv}$  と、再生信号  $S_{rr}$  の信号レベルに基づいて復号された再生データ  $D_{rrs}$  との

データ  $D_{rrs}$  及び  $D_{rrs}$  のいずれか一方が論理「1」に立ち上がると、論理レベルが論理「1」に立ち上がる再生データ  $D_{rrs}$  を得ることができ、この場合出力信号  $S_r$  の信号レベルが大きく立ち上がり又は立ち下がったとき、論理レベルを論理「1」に立ち上げることができる。

かくして復号回路を、1 つのイクスクルーシブオア回路 75 で構成することができ、その分全体の構成を簡易化することができる。

第 2 図の構成によれば、アナログデジタル変換回路 24 から出力される出力データ  $y_n$  の上位 2 ビットの変化を検出し、当該検出結果に基づいて再生信号  $S_{rr}$  を復号することにより、簡易な構成で復号回路を構成することができ、その分全体として簡易な構成のビデオテープレコードを得ることができる。

#### (G3) 第 3 の実施例

第 1 図との対応部分に同一符号を附して示す第 2 図は、第 2 の実施例を示し、ビタビ復号回路

28及び30の確からしさのデータ $\Delta k$ を基準にして、再生データ $D_{r,v}$ 及び $D_{r,s}$ を切り換える。

すなわち上述のように、ビット復号回路28及び30においては、前後のデータ間の(1-D)相関を利用して確からしさのデータ $\Delta k$ 及び予測入力値 $D_s$ を作成すると共に、当該確からしさのデータ $\Delta k$ 及び予測入力値 $D_s$ を基準にして入力データ $y_v$ を復号するようになされている。

従つて、データ $D_s$ の確からしさを表す確からしさのデータ $\Delta k$ が所定値以下のときだけ、再生データ $D_{r,v}$ に代えて再生データ $D_{r,s}$ を出力すれば、確かな再生データ $D_{r,v}$ が得られないときだけ再生データ $D_{r,s}$ に代えて再生データ $D_{r,s}$ を出力することができ、その分ビット誤りを低減することができる。

このためこの実施例においては、ビット復号回路28及び30から、入力データ $y_v$ に同期して順次交互に確からしさのデータ $\Delta k$ を比較回路78に与える。

比較回路78は、所定の基準データ $D_{ref}$ と確

からしさのデータ $\Delta k$ の値を比較するようになされ、これにより確からしさのデータ $\Delta k$ が所定値以下のとき、スイッチ回路61を切り換えるようになされている。

これにより再生データ $D_{r,v}$ が確かでないとき、再生データ $D_{r,v}$ に代えて再生データ $D_{r,s}$ を出力するようになされている。

第24図の構成によれば、確からしさのデータ $\Delta k$ を基準にして、ビット復号回路28及び30の再生データ $D_{r,v}$ と復号回路50の再生データ $D_{r,s}$ を切り換えて出力することにより、再生データ $D_{r,v}$ が確かでないとき、再生データ $D_{r,s}$ に代えて再生データ $D_{r,s}$ を出力することができ、その分ビット誤りを低減することができる。

#### (G4)第4の実施例

第25図に示すように、この実施例においては、当該ビデオテープレコーダの動作モードに応じて再生データ $D_{r,v}$ 及び $D_{r,s}$ を切り換えて出力する。

すなわち第26図に示すように、ビデオテープレコーダにおいては、動作モードがノーマル再生モードから可変速再生モードに切り換わると、再生信号 $S_{rr}$ (第26図(A)及び(B))のエンベロープがそろばん玉状に変化し、再生信号 $S_{rr}$ の信号レベルが部分的に低下する。

従つて、信号レベルが低下した部分においては、ビット復号回路28、30及び復号回路50において、ビット誤りが増加するようになる。

ところでこの場合、復号回路50においては、再生信号 $S_{rr}$ の信号レベルに追従してビット誤りが増加する。

ところがビット復号回路28、30においては、前後のデータ間の相関を利用することから、ビット誤りが一旦発生するとエラー伝送を避け得ず、この場合信号レベルが所定レベル以下に低下すると急激にビット誤りが増加する。

従つてこの実施例においては、動作モードがノーマル再生モードから可変速再生モードに切り換わると、ビット復号回路28、30の再生データ

$D_{r,v}$ に代えて復号回路50の再生データ $D_{r,s}$ を出力するようになされ、これにより可変速再生モードにおけるビット誤りを低減するようになされている。

すなわち第27図に示すようにマイクロコンピュータ回路構成の制御回路80は、当該ビデオテープレコーダの制御回路から可変速再生モードの切換信号 $S_{mo}$ (第27図(A))が入力されると、スイッチ回路61に出力される制御信号 $S_c$ (第27図(B))を立ち上げ、当該スイッチ回路61の出力を再生データ $D_{r,v}$ から再生データ $D_{r,s}$ (第27図(C))に切り換える。

これによりビデオテープレコーダが可変速再生モードに切り換つた場合でも、再生データ $D_{r,s}$ のビット誤りを低減することができる。

第25図の構成によれば、当該ビデオテープレコーダの動作モードが可変速再生モードになると、ビット復号回路28、30の再生データ $D_{r,v}$ に代えて復号回路50の再生データ $D_{r,s}$ を出力することにより、当該可変速再生モードにおける再

生データ  $D_{rv}$  のビット誤りを低減することができる。

#### (G5) 第5の実施例

第28図に示すように、この実施例においては、再生信号  $S_r$  のエンベロープを検出し、その検出結果に基づいて再生データ  $D_{rv}$  及び  $D_{rs}$  を切り換えて出力する。

すなわち第27図について上述したように、再生信号  $S_r$  の信号レベルが所定レベル以下に低下した場合においては、再生データ  $D_{rv}$  の方が再生データ  $D_{rs}$  よりもビット誤りが増加する。

従つて再生信号  $S_r$  の信号レベル基準にして再生データ  $D_{rv}$  及び  $D_{rs}$  を切り換えて出力すれば、ビット誤りを低減することができる。

さらにこのようにすれば、可変速再生モードで信号レベルが低下した場合だけでなく、例えばドロップアウト等の影響で再生信号  $S_r$  の信号レベルが低下した場合でも、再生データ  $D_{rv}$  のビット誤りを低減することができる。

$D_{rv}$  から再生データ  $D_{rs}$  に切り換えて出力する場合について述べたが、本発明は不一致が2ビット以上の場合に限らず、種々の値に選定することができる。

すなわちこのビット数は、要は電磁変換系の電磁変換特性、データの伝送レート等に応じて、再生データ  $D_{rv}$  のビット誤りが最小になるように選定すればよく、例えば磁気テープの種類等に応じて、このビット数を切り換えるようにしてもよい。

さらにビット誤りが最小になる条件が記録再生状態等に応じて変動し得ることから、ビタビ復号回路から出力される確からしさのデータ  $\Delta k$ 、再生信号  $S_r$  の信号レベル、当該ビデオテープレコーダの動作モード等に応じて、このビット数を切り換えるようにしてもよい。

(2) 同様に上述の第1の実施例においては、連続する5ビットのデータについて、再生データ  $D_{rv}$  及び  $D_{rs}$  の不一致の数を検出する場合について述べたが、本発明は5ビットのデータに限らず、種々の値に選定することができる。

すなわちエンベロープ検波回路82は、再生信号  $S_r$  をエンベロープ検波し、その検波出力信号を比較回路83に与える。

比較回路83は、所定の基準レベルと検波出力信号の比較結果でスイッチ回路61の接点を切り換えるようになされ、再生信号  $S_r$  の信号レベルが低下するとビタビ復号回路28、30の再生データ  $D_{rv}$  に代えて復号回路50の再生データ  $D_{rs}$  を出力するようになされている。

第28図の構成によれば、再生信号  $S_r$  の信号レベルの低下を検出し、その検出結果で再生データ  $D_{rv}$  及び  $D_{rs}$  を切り換えて出力することにより、可変速再生モードの場合やドロップアウトが生じた場合において、再生データ  $D_{rv}$  のビット誤りを低減することができる。

#### (G6) 他の実施例

(1) 上述の第1の実施例においては、連続する5ビットのデータについて、再生データ  $D_{rv}$  及び  $D_{rs}$  が2ビット以上不一致のとき、再生データ

この場合も当該ビット数は、再生データ  $D_{rv}$  のビット誤りが最小になるように種々の値に選定し得、例えば磁気テープの種類等に応じて、さらには確からしさのデータ  $\Delta k$ 、再生信号  $S_r$  の信号レベル、当該ビデオテープレコーダの動作モード等に応じて、このビット数を切り換えるようにしてもよい。

(3) さらに上述の第1の実施例においては、連続する再生データ  $D_{rv}$  及び  $D_{rs}$  について、不一致のデータ数をカウントする場合について述べたが、本発明はこれとは逆に、一致するデータ数をカウントするようにしてもよく、この場合一致するデータ数が所定値以下のとき、再生データ  $D_{rv}$  から再生データ  $D_{rs}$  に切り換えて出力すればよい。

(4) さらに上述の第1の実施例においては、再生データが一致しているときは再生データ  $D_{rv}$  を出力する場合について述べたが、本発明はこれとは逆に、再生データ  $D_{rv}$  及び  $D_{rs}$  が一致しているとき、再生データ  $D_{rs}$  を出力するようにし



てもよい。

この場合、不一致のデータが得られ、その不一致のデータ数が所定値以下のとき、その不一致のデータを再生データ  $D_{r,v}$  に切り換えるようにすれば、ビット誤りを低減することができる。

(5) さらに上述の第2の実施例においては、出力データ  $y_v$  の上位2ビットの変化を検出し、その検出結果で再生信号  $S_{rv}$  を復号する場合について述べたが、本発明はこれに限らず、要はアナログデジタル変換回路24の出力データについて、所定ビットの変化を検出すれば良く、必要に応じて例えば上位3ビットの変化を検出してもよい。

さらにこの場合、再生信号  $S_{rv}$  のエンベロープを検出し、その検出結果に応じて検出するビット数、そのパターンを切り換えるようにしても良く、このようにすれば再生信号  $S_{rv}$  の信号レベルの変化に追従して、復号のための基準レベル（すなわち第2図(A)の  $V_{err,1}$  及び  $V_{err,2}$  に相当する）を簡易に切り換えることができる。

またこの場合においても、磁気テープの種類等

に応じて、さらには確からしさのデータ  $\Delta k$ 、当該ビデオテープレコーダの動作モード等に応じて、検出するビット数、そのパターンを切り換えるようにしても良い。

(6) さらに上述の第2の実施例においては、再生データ  $D_{r,v}$  及び  $D_{r,s}$  の比較結果に基づいて、再生データ  $D_{r,v}$  及び  $D_{r,s}$  を切り換えて出力する場合に、アナログデジタル変換回路24から出力される所定ビットの変化を検出する復号回路を適用する場合について述べたが、本発明はこれに限らず、例えば第3～第5の実施例に、この復号回路を適用するようにしてもよい。

(7) さらに上述の実施例においては、フーガソンのアルゴリズムを適用したビタビ復号回路28、30を用いて入力データ  $y_v$ 、 $y_{s,1}$ 、……を復号する場合について述べたが、本発明はこれに限らず、種々のビタビ復号回路を広く適用することができる。

この場合第3の実施例においては、(4)～(9)式について上述した確からしさのデータ  $\Delta k$

の代わりに、次式

$$\Delta k = |f_{s(n)} - f_{s(n-1)}| \dots \dots (10)$$

で表される確からしさのデータ  $\Delta k$  を用いるようにすればよい。

すなわち第29図に示すように、一般のビタビ復号回路においては、順次連続するデータの1つについて復号結果を得る場合、データ  $d_n$  に至までの確からしさを、1つ前の値1のデータから遷移する場合と1つ前の値-1のデータから遷移する場合とに分け、その確からしさの大きい方の遷移を検出して、復号データを得るようになされている。

従つて、この1つ前の値1のデータから遷移する場合の確からしさを表す  $f_{s(n)}^+$  と、1つ前の値-1のデータから遷移する場合の確からしさを表す  $f_{s(n)}^-$  との差で表される(10)式の確からしさのデータ  $\Delta k$  を用いるようにしても、フーガソンのアルゴリズムを適用したビタビ復号回路28、30を用いる場合と同様に、ビット誤

りを低減することができる。

(8) さらに上述の実施例においては、それぞれ再生データ  $D_{r,v}$  及び  $D_{r,s}$  の比較結果、確からしさのデータ  $\Delta k$ 、当該ビデオテープレコーダの動作モード、再生信号  $S_{rv}$  の信号レベルに基づいて、再生データ  $D_{r,v}$  及び  $D_{r,s}$  を切り換えて出力する場合について述べたが、本発明はこれに限らず、これらを組み合わせて例えば再生データ  $D_{r,v}$  及び  $D_{r,s}$  の比較結果と確からしさのデータ  $\Delta k$  に基づいて、再生データ  $D_{r,v}$  及び  $D_{r,s}$  を切り換えて出力するようにしてもよい。

(9) さらに上述の実施例においては、デジタルビデオ信号を記録再生する場合について述べたが、本発明はこれに限らず、種々のデジタル信号を再生する場合に広く適用することができる。

00 さらに上述の実施例においては、磁気テープに記録したデータを再生する場合について述べたが、本発明は磁気テープに限らず、磁気記録媒体を利用した磁気再生装置に広く適用することができる。

## H 発明の効果

上述のように第1の発明によれば、ビタビ復号回路の再生データと、再生信号の信号レベルに基づいて再生信号を復号する復号回路の再生データとを切り換えて出力することにより、ビット誤りを有効に低減し得る磁気再生装置を得ることができる。

このとき第2から第5の発明によれば、それぞれ再生データの比較結果、確からしさのデータ、動作モード及び再生信号の信号レベルに基づいて切り換えることにより、ビット誤りを低減した磁気再生装置を得ることができる。

さらに第6の発明によれば、アナログデジタル変換回路からビタビ復号回路に出力されるデータの所定ビットの変化を検出することにより、再生信号の信号レベルに基づいて簡易に再生データを得ることができる。

## 4. 図面の簡単な説明

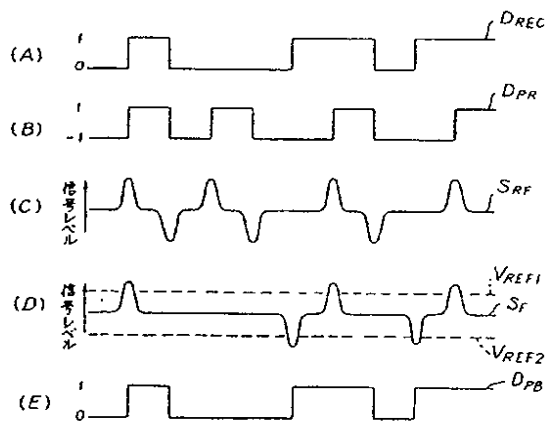
第1図は本発明の一実施例によるビデオテープ

レコーダを示すブロック図、第2図はその動作の説明に供する信号波形図、第3図はプリコード回路を示すブロック図、第4図は磁気記録再生系の周波数特性を示す特性曲線図、第5図はクラスIVのパーシャルレスポンス方式の説明に供する特性曲線図、第6図はプリコードデータを示す略線図、第7図は演算処理回路を示すブロック図、第8図及び第9図は演算処理回路の動作の説明に供する図表、第10図及び第11図は磁気記録再生系の等価回路を示すブロック図、第12図はビタビ復号回路を示すブロック図、第13図～第18図はその動作の説明に供する図表、第19図は復号回路を示すブロック図、第20図はその切換回路を示すブロック図、第21図はその動作の説明に供する信号波形図、第22図は第2の実施例を示すブロック図、第23図はその動作の説明に供する図表、第24図は第3の実施例を示すブロック図、第25図は第4の実施例を示すブロック図、第26図及び第27図はその動作の説明に供する信号波形図、第28図は第5の実施例を示すブロック

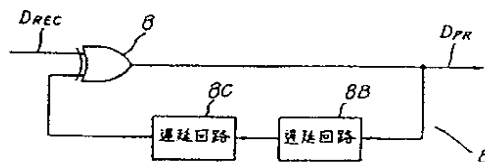
図、第29図はその動作の説明に供する略線図である。

1 ……ビデオテープレコーダ、8 ……プリコード回路、14 ……磁気テープ、20 ……演算処理回路、24 ……アナログデジタル変換回路、28、30 ……ビタビ復号回路、50 ……復号回路、56 ……切換回路。

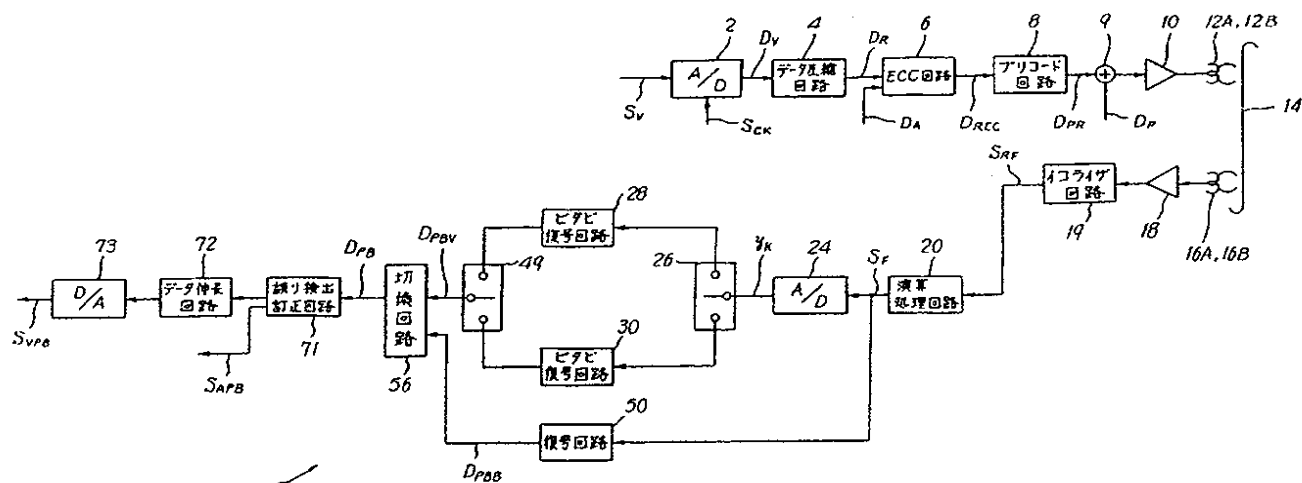
代理人 田 辺 恵 基



信号波形図  
第2図

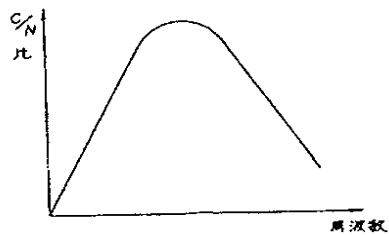


プリコード回路  
第3図



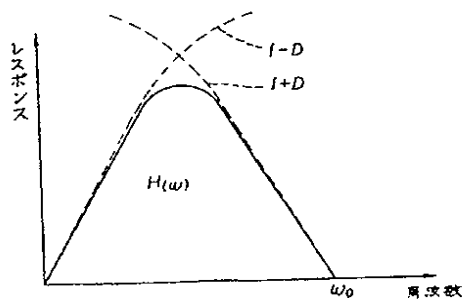
ビデオテープレコーダ

第一圖



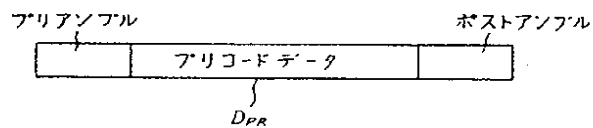
## 記録再生の特性

第 4 章



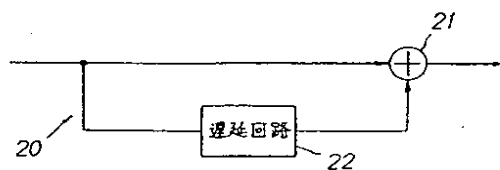
### 1-D<sup>2</sup> の周波数特性

第 5 回



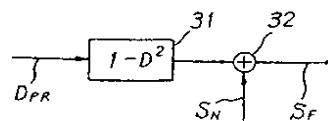
## データの構成

第 6 图



## 演算処理回路

第 7 回



### 磁気記録再生系の等価回路

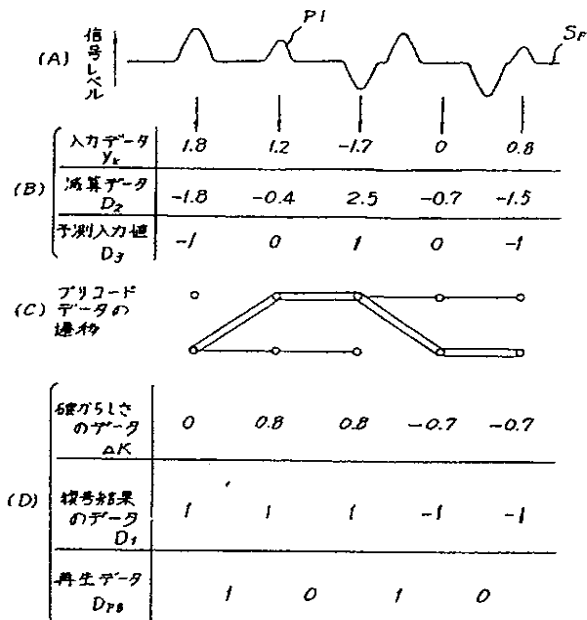
第 10 圖

フリコード データ $DPR$	$b_{n-2}$	$b_{n-1}$	$b_n$	$b_{n+1}$	$b_{n+2}$	$b_{n+3}$
$D^2$	$b_{n-4}$	$b_{n-3}$	$b_{n-2}$	$b_{n-1}$	$b_n$	$b_{n+1}$
出力信号 $S_F$	$b_{n-2}$	$b_{n-1}$	$b_n$	$b_{n+1}$	$b_{n+2}$	$b_{n+3}$
	$-b_{n-4}$	$-b_{n-3}$	$-b_{n-2}$	$-b_{n-1}$	$-b_n$	$-b_{n+1}$

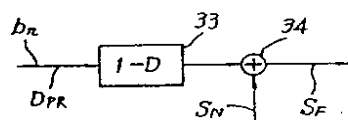
演算処理  
第 8 図

フリコフ データ DPK	$b_{n-2}$	$b_n$	$b_{n+2}$	$b_{n+4}$
D	$b_{n-4}$	$b_{n-2}$	$b_n$	$b_{n+2}$
出力信号 SF	$b_{n-2}$	$b_n$	$b_{n+2}$	$b_{n+4}$
	$-b_{n-4}$	$-b_{n-2}$	$-b_n$	$-b_{n+2}$

偶数系列のみの処理  
第 9 図

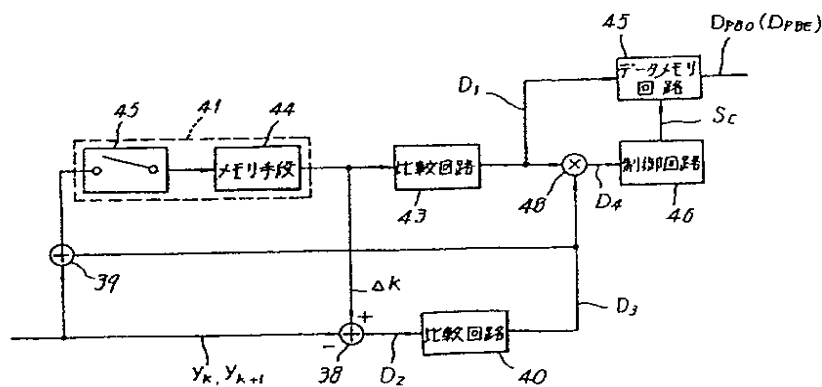


第 13 図



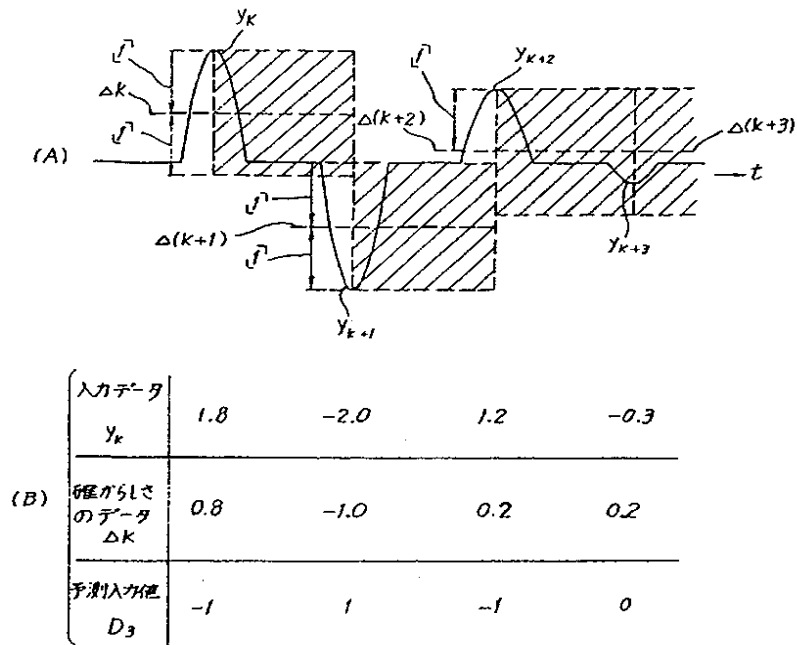
偶数系列、奇数系列に分割した  
場合の等価回路

第 11 回

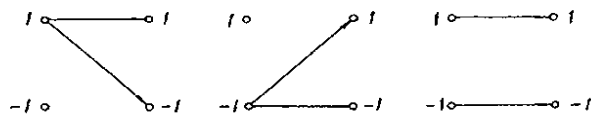


28(30)

第 12 図



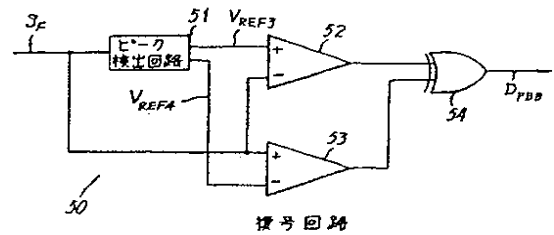
確がらしさのデータと  
予測入力値の関係  
第 14 図



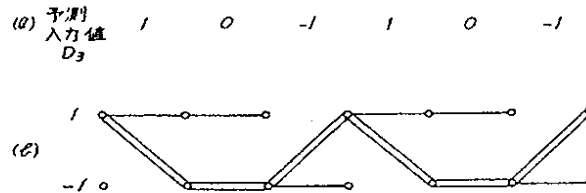
予測入力値 1  
の場合の遷移  
第 15 図

予測入力値 -1  
の場合の遷移  
第 16 図

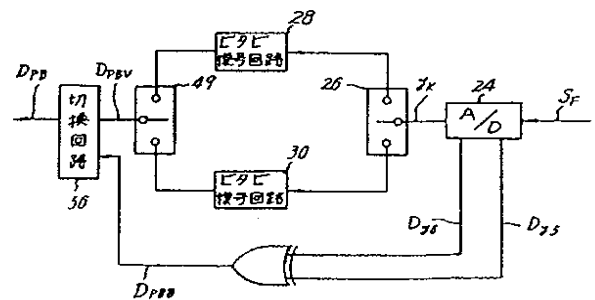
予測入力値 0  
の場合の遷移  
第 17 図



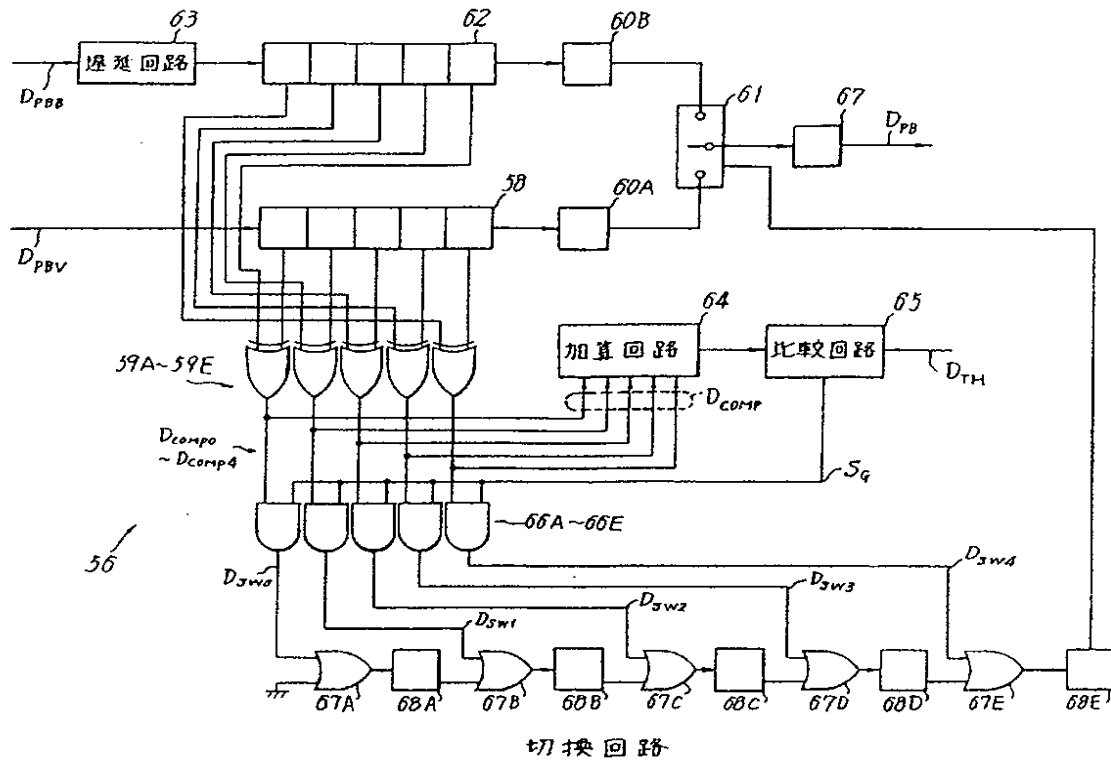
第 19 図



プリコードデータの遷移  
第 18 図

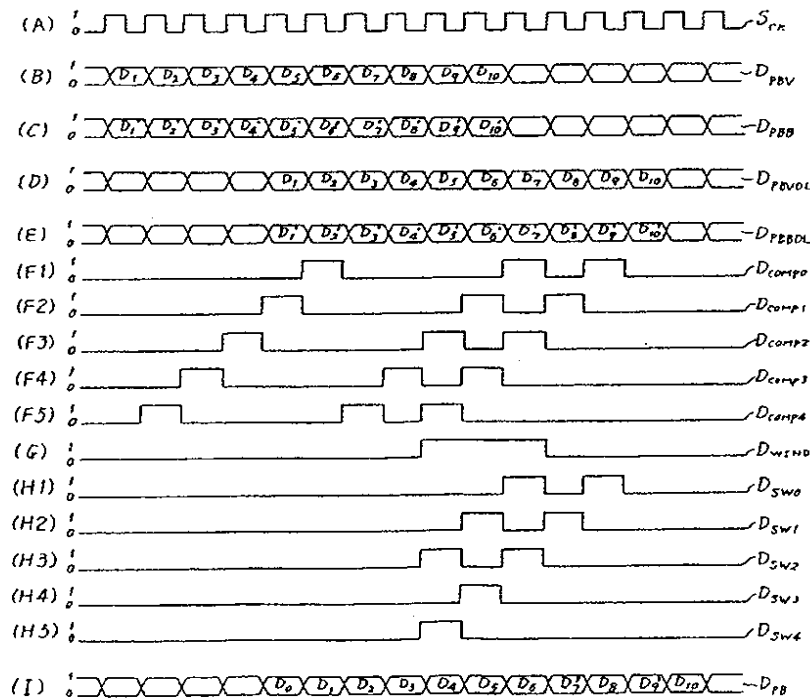


第 2 の実施例  
第 22 図



切换回路

第 20 图

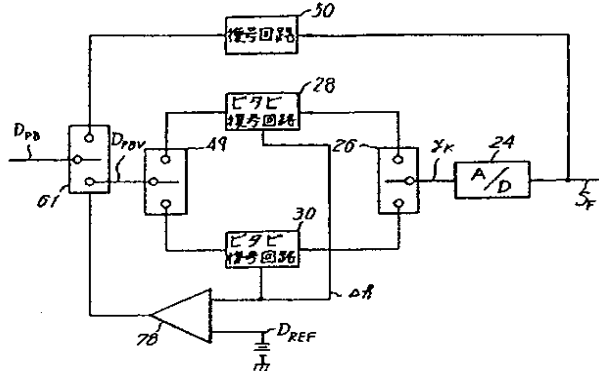


信号波形

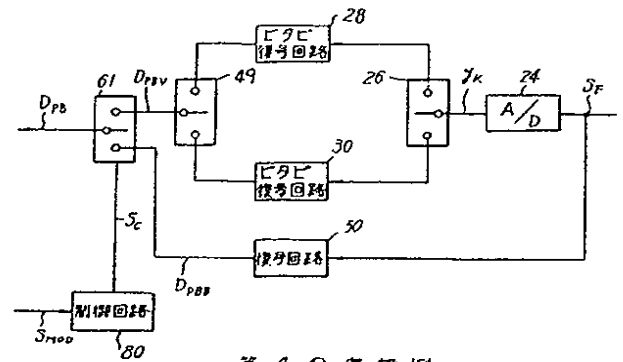
第 21 图

出力信号 $S_F$ の信号レベル	出力データ $D_k$ の値	再生データ $D_{PBB}$
	$D_{P1} D_{P2} D_{P3} D_{P4} D_{P5} D_{P6}$	
最大	0 1 1 1 1 1	1
	0 1 0 0 0 0	
	0 0 1 1 1 1	
0	0 0 0 0 0 1	0
	0 0 0 0 0 0	
	1 1 1 1 1 1	
	1 1 0 0 0 0	
	1 0 1 1 1 1	
最小	1 0 0 0 0 0	1
	1 0 0 0 0 0	

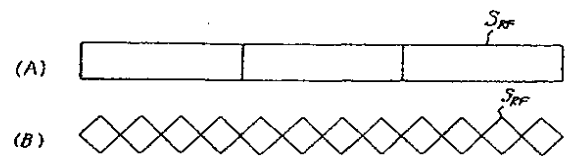
出力データ  $D_k$  の処理  
第 23 図



第 3 の実施例  
第 24 図



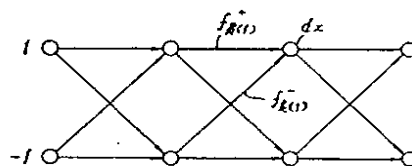
第 4 の実施例  
第 25 図



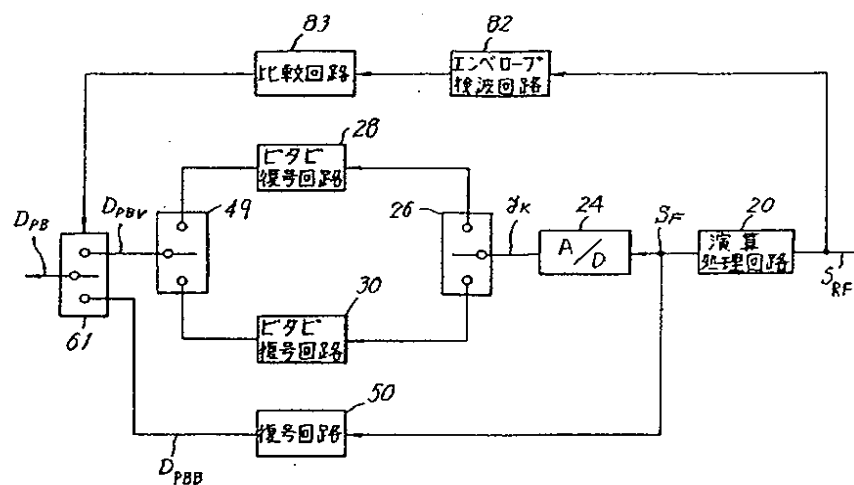
再生信号の変化  
第 26 図



再生データの切換  
第 27 図



トレリス線図  
第 29 図



第5の実施例

第28図